

**MULTICHIP PACKAGE AND STACK PACKAGE OF BALL GRID ARRAY TYPE**

**Publication number:** KR20020061812

**Publication date:** 2002-07-25

**Inventor:** JUNG MYEONG GI (KR); KANG IN GU (KR); KIM  
HYEONG SEOP (KR); LEE GWAN JAE (KR)

**Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)

**Classification:**

**- International:** *H01L23/12; H01L23/12; (IPC1-7): H01L23/12*

**- European:**

**Application number:** KR20010002828 20010118

**Priority number(s):** KR20010002828 20010118

**Report a data error here**

**Abstract of KR20020061812**

**PURPOSE:** A multichip package of a ball grid array(BGA) type is provided to double the capacity in the same area by stacking two semiconductor chips, and to effectively correspond to an increase of the number of input/output pins by using a printed circuit board(PCB). **CONSTITUTION:** Predetermined circuit interconnections(22,26) and connection pads(23,27) connected to the circuit interconnections are formed on the upper and lower surfaces of a base substrate(21). A via hole(25) for electrically connecting the circuit interconnection on the upper surface with the circuit interconnection on the lower surface is formed in a PCB(20). The first and second chips have a plurality of electrode pads(12,16) formed on an active surface having an integrated circuit and bumps(13,17) connected to the electrode pads. The bump of the first chip is connected to the connection pad formed on the upper surface of the PCB. The bump of the second chip is connected to the connection pad formed on the lower surface of the PCB. Solder balls(45) are electrically connected to the circuit interconnection formed on a surface of the PCB.

---

Data supplied from the **esp@cenet** database - Worldwide

# ( 19) 대한민국특허청(KR) ( 12) 공개특허공보(A)

(51) 。 Int. Cl. <sup>7</sup>  
H01L 23/12

(11) 공개번호 특2002- 0061812  
(43) 공개일자 2002년07월25일

(21) 출원번호 10- 2001- 0002828  
(22) 출원일자 2001년01월18일

(71) 출원인 삼성전자 주식회사  
경기 수원시 팔달구 매탄3동 416

(72) 발명자 강인구  
충청남도천안시쌍용2동주공10단지516동1204호  
정명기  
충청남도천안시신방동22현대아파트201동808호  
이관재  
충청남도천안시신방동한라동백2차아파트108동1706호  
김형섭  
충청남도천안시신방동897번지두레현대아파트202동1003호

(74) 대리인 윤동열  
이선희

심사청구 : 없음

## (54) 불 그리드 어레이형 멀티 칩 패키지와 적층 패키지

### 요약

본 발명은 베이스 기판의 상면과 하면에 각각 소정의 회로배선과 그와 연결되어 형성된 접합패드 및 상면의 회로배선과 하면의 회로배선을 전기적으로 연결하는 비아 홀(via hole)이 형성되어 있는 인쇄회로기판과, 집적회로가 형성된 활성면에 복수의 전극패드와 그 전극패드에 접합되어 형성된 범프를 갖는 제 1칩과 제 2칩을 구비하고 있으며, 제 1칩의 범프가 인쇄회로기판의 상면에 형성된 접합패드에 접합되어 있고 제 2칩의 범프가 인쇄회로기판의 하면에 형성된 접합패드에 접합되어 있고, 인쇄회로기판의 일면에 형성된 회로배선과 전기적으로 연결되는 솔더 볼이 부착되어 있는 것을 특징으로 하는 멀티 칩 패키지에 관한 것이다. 또한, 전술한 바와 같은 본 발명에 따른 단위 멀티 칩 패키지 복수 개가 각각의 멀티 칩 패키지의 하면에 형성된 솔더 볼이 다른 멀티 칩 패키지의 상면에 형성된 회로배선과 전기적으로 연결되도록 부착된 것을 특징으로 하는 적층 패키지에 관한 것이다. 이에 따르면, 일정한 면적에서 용량이 향상될 수 있다. 또한, 인쇄회로기판을 이용하고 있기 때문에 실장면적 축소나 열 방출 문제 및 집적도 증가에 따른 입출력 핀 수의 증가에 효과적으로 대응할 수 있다.

대표도

도 2

색인어

멀티 칩 패키지, DDP, 적층 칩, 적층 패키지, BGA

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 멀티 칩 패키지의 일 예를 나타낸 단면도,  
도 2는 본 발명에 따른 멀티 칩 패키지의 실시예를 나타낸 단면도,  
도 3은 본 발명에 따른 적층 패키지의 실시예를 나타낸 단면도이다.

\* 도면의 주요 부분에 대한 부호의 설명 \*

10; 멀티 칩 패키지11,15; 반도체 칩

12,16; 전극패드13,17; 범프(bump)

20; 인쇄회로기판21; 베이스 기판

22,26; 회로배선23,27; 접합패드

24,28; 볼 랜드패드25; 비아 홀(via hole)

31,32; 보호막41,42; 봉지부

45; 솔더 볼(solder ball)50; 적층 패키지

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로서, 더욱 상세하게는 2개의 반도체 칩이 인쇄회로기판에 실장되고 외부 접속 단자로서 솔더 볼을 갖는 멀티 칩 패키지와 이와 같은 멀티 칩 패키지들이 적층되어 형성된 적층 패키지에 관한 것이다.

최근 휴대 가능한 전자제품의 수요가 급속하게 늘어나면서 반도체 제품 경향 또한 박형화, 소형화, 및 경량화의 요구가 증대되고 있으며, 대용량의 데이터 저장을 위한 고 집적도의 요구도 급증하고 있다. 이러한 요구를 만족시키기 위해서 무엇보다도 일정한 면적에서 대용량의 집적도를 확보할 수 있도록 미세 회로 가공기술이 발달되어야 한다. 그러나, 미세 회로 가공 기술의 한계로 인하여 새로운 방안으로 제안된 것이 멀티 칩 패키지(multi chip package)와 적층 패키지(stack package)이다.

멀티 칩 패키지는 1개의 패키지 내에 2개 이상의 반도체 칩을 탑재하여 멀티 기능 및 고용량화를 구현시킨 반도체 칩 패키지이다. 멀티 칩 패키지는 특히 소형화와 경량화가 요구되는 휴대용 전화기 등에서 실장면적의 축소와 경량화를 위해 많이 적용되고 있다. 그리고, 적층 패키지는 2개 이상의 단위 반도체 칩 패키지를 전기적으로 서로 연결하여 고집적도를 구현시킨 반도체 칩 패키지이다. 멀티 칩 패키지나 적층 패키지는 각각의 반도체 소자를 내재하는 단위 반도체 칩 패키지 두 개를 이용하는 것보다 크기나 무게 및 실장면적에서 소형화와 경량화에 유리하다.

멀티 칩 패키지는 일반적으로 복수 개의 반도체 소자를 적층시키는 방법과 병렬로 배열시키는 방법이 있다. 전자의 경우 반도체 소자를 적층시키는 구조이므로 공정이 복잡하고 한정된 두께에서 안정된 공정을 확보하기 어려운 단점이 있고, 후자의 경우 평면상에 두 개의 반도체 칩을 배열시키는 구조이므로 크기 감소에 의한 소형화의 장점을 얻기가 어렵다. 보통 소형화와 경량화가 필요한 패키지에 적용되는 형태로서 반도체 소자를 적층하는 형태가 많이 사용된다. 이와 같은 형태의 멀티 칩 패키지의 예를 소개하면 다음과 같다.

도 1은 종래 기술에 따른 멀티 칩 패키지의 일 예를 나타낸 단면도이다.

도 1을 참조하면, 이 멀티 칩 패키지(110)는 제 1반도체 칩(111)과 제 2반도체 칩(113)이 다이패드(123)의 상면과 하면에 각각 부착되어 있고, 제 1반도체 칩(111)의 전극패드(112)와 제 2반도체 칩(113)의 전극패드(114)가 다이패드(123)와 소정의 간격으로 이격되어 있는 리드(121)의 내측 말단 부분의 상면과 하면에 도전성 금속선(131,132)으로 와이어 본딩(wire bonding)되어 전기적인 연결을 이루고 있으며, 외부환경으로부터의 보호를 위하여 에폭시 성형수지(EMC; epoxy molding compound)와 같은 플라스틱 봉지재로 패키지 몸체(140)가 형성되어 있는 구조이다. 패키지 몸체(140)의 외부로 돌출된 외부리드(122)는 실장에 적합한 형태로 성형되어 있다.

이와 같은 멀티 칩 패키지는 많은 비용과 개발 기간이 소요되는 미세 회로 가공 기술을 통한 집적도 증가보다는 저비용 및 단기간에 개발이 가능하다는 것과 기존의 플라스틱 패키지 공정을 100% 활용할 수 있다는 장점을 가지고 있다. 그러나, 전술한 바와 같은 멀티 칩 패키지의 경우 리드프레임을 이용하고 있기 때문에 실장면적 축소나 열 방출 문제 및 집적도 증가에 따른 입출력 핀 수의 증가에 대응할 수 없다.

#### 발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 일정한 면적에서 대용량 밀도를 확보함과 동시에 상기 문제점들을 해결한 인쇄회로기판을 이용하는 볼 그리드 어레이형 멀티 칩 패키지와 적층 패키지를 제공하는 데에 있다.

#### 발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명에 따른 볼 그리드 어레이형 멀티 칩 패키지는 베이스 기판의 상면과 하면에 각각 소정의 회로배선과 그와 연결되어 형성된 접합패드 및 상면의 회로배선과 하면의 회로배선을 전기적으로 연결하는 비아 홀(via hole)이 형성되어 있는 인쇄회로기판과, 집적회로가 형성된 활성면에 복수의 전극패드와 그 전극패드에 접합되어 형성된 범프를 갖는 제 1칩과 제 2칩을 구비하고 있으며, 제 1칩의 범프가 인쇄회로기판의 상면에 형성된 접합패드에 접합되어 있고 제 2칩의 범프가 인쇄회로기판의 하면에 형성된 접합패드에 접합되어 있고, 인쇄회로기판의 일면에 형성된 회로배선과 전기적으로 연결되는 솔더 볼이 부착되어 있는 것을 특징으로 한다. 제 1칩과 제 2칩이 인쇄회로기판의 상면과 하면에 각각 플립 칩 본딩(flip chip bonding)되고 외부 접속 단자로서 인쇄회로기판 일면 전체에 배치될 수 있는 솔더 볼을 채택하고 있어서 보다 많은 용량 및 입출력 핀 수가 필요한 반도체 제품에 적용이 가능하다. 플립 칩 본딩으로 제 1칩과 제 2칩이 실장되기 때문에 실장 높이가 높지 않아 솔더 볼의 실장 높이 보다 낮을 수 있다. 따라서, 솔더 볼의 채택이 가능하다.

이와 같은 본 발명에 따른 멀티 칩 패키지에 있어서, 제 1칩과 인쇄회로기판, 제 2칩과 인쇄회로기판의 사이에는 전기적인 연결 상태를 외부환경으로부터 보호하기 위하여 봉지부가 형성되는 것이 바람직하며, 수지 봉지재의 포팅(potting)에 의해 용이하게 형성될 수 있다. 이때, 봉지부는 제 1칩과 제 2칩의 배면이 노출되도록 하면 열 방출 효과가 향상될 수 있다.

그리고, 상기 목적을 달성하기 위한 본 발명에 따른 적층 패키지는, 전술한 바와 같은 본 발명에 따른 단위 멀티 칩 패키지 복수 개가 각각의 멀티 칩 패키지의 하면에 형성된 솔더 볼이 다른 멀티 칩 패키지의 상면에 형성된 회로배선과 전기적으로 연결되도록 부착된 것을 특징으로 한다.

이하 첨부 도면을 참조하여 본 발명에 따른 볼 그리드 어레이형 멀티 칩 패키지와 적층 패키지를 보다 상세하게 설명하고자 한다.

도 2는 본 발명에 따른 멀티 칩 패키지의 실시예를 나타낸 단면도이다.

도 2를 참조하면, 이 멀티 칩 패키지(10)는 인쇄회로기판(20)의 상면과 하면에 각각 제 1칩(11)과 제 2칩(15)이 풀립 칩 본딩 기술이 적용되어 부착되어 있고 외부 접속 단자로서 솔더 볼(45)이 인쇄회로기판(20)의 하면에 부착되어 있는 구조를 갖는다. 구조를 좀 더 상세하게 살펴보기로 한다.

인쇄회로기판(20)은 베이스 기판(21)의 상면과 하면에 구리 박막이 입혀진 후에 식각 공정을 거쳐 소정의 회로배선(22)과 집합패드(23,27) 및 볼 랜드패드(ball land pad; 24,28)가 형성되어 있다. 볼 랜드패드(24,28)는 집합패드(23,27)의 외측 영역에 형성되어 있다. 회로배선(22,26)과 집합패드(23,27) 및 볼 랜드패드(24,28)는 서로 연결되어 형성되어 전기적으로 상호 연결된다. 상면의 회로배선(22)과 하면의 회로배선(26)은 베이스 기판(21)을 관통하는 구멍에 도금 과정을 거쳐 내벽이 도금된 비아 홀(25)에 의해 서로 도통된다. 여기서, 집합패드(23,27)는 제 1칩(11)과 제 2칩(15)의 전극패드(12) 배열 상태에 대응되도록 형성되고, 볼 랜드패드(24,28)는 솔더 볼(45)의 배치 설계 구조에 따라 형성된다. 한편, 보호가 필요한 회로배선(22,26)들은 솔더 레지스트(solder resist)로 형성되는 보호막(31, 32)에 의해 외부환경으로부터 보호된다.

제 1칩(11)과 제 2칩(15)은 집적회로가 형성된 활성면의 가장자리에 복수 개의 전극패드(12,16)가 형성되어 있는 에지 패드(edge) 형으로서 풀립 칩 본딩을 위하여 전극패드(12,16)에 범프(13,17)가 형성되어 있는 것이다. 범프(13, 17)로서는 공지된 솔더 범프(solder bump), 일렉트로- 플레이팅 범프(electro- plating bump), 일렉트로레스 범프(electroless bump), 및 금 스터드 범프(Au stud bump) 등이 적용 가능하다.

제 1칩(11)은 인쇄회로기판(20) 상면의 집합패드(23)에 범프가 접합되어 실장되어 있고 제 2칩(15)은 인쇄회로기판(20) 하면의 집합패드(27)에 범프(17)가 접합되어 인쇄회로기판(20)에 실장되어 있다. 이와 같은 풀립 칩 본딩 상태는 제 1칩(11)과 인쇄회로기판(20)의 사이와 제 2칩(15)과 인쇄회로기판(20)의 사이에 형성되는 봉지부(41,42)에 의해 결합력이 강화되고 전기적인 연결 상태가 외부 환경으로부터 보호된다. 이때, 제 1칩(11)과 제 2칩(15)의 배면은 열 방출에 유리하도록 노출되어 있다. 한편, 봉지부(41,42)는 사용되는 범프(23,27)에 따라 변화될 수 있다. 솔더 범프가 사용될 경우 에폭시 성형 수지와 같은 언더-필(fill)재가 사용될 수 있고 일렉트로- 플레이팅 범프, 일렉트로레스 범프, 금 스터드 범프 등이 사용될 경우 이방성 전도 접착제(anisotropic conductive adhesive; ACA)나 이방성 전도 필름(anisotropic conductive film; ACF) 등과 같은 페이스트(paste) 또는 시이트형(sheet type)의 여러 가지 종류의 접착 수단의 적용이 가능하다.

칩 실장, 예컨대 금 스터드 범프가 형성된 칩 실장은 이방성 전도 필름이 부착되어 있는 상태에서 제 1칩과 제 2칩의 범프와 인쇄회로기판의 집합패드를 일치시킨 후 150~200℃의 온도로 열압착을 통하여 이루어질 수 있다.

도 3은 본 발명에 따른 적층 패키지의 일 실시예를 나타낸 단면도이다.

도 3을 참조하면, 이 적층 패키지(50)는 복수의 반도체 칩(11a,15a,51a,55b)이 인쇄회로기판(20a,20b)에 풀립 칩 본딩되어 있는 볼 그리드 어레이형 멀티 칩 패키지(10a,10b) 복수 개가 적층된 구조로서 상부에 위치한 멀티 칩 패키지(10a)의 솔더 볼(45a)을 매개로 하여 패키지간 전기적인 연결이 이루어진다. 여기서, 단위 볼 그리드 어레이형 멀티 칩 패키지(10a,10b)의 구조는 전술한 바와 동일한 구조이므로 설명을 생략하기로 한다.

각각의 단위 멀티 칩 패키지(10a)는 상면의 볼 랜드패드(24a,24b)가 하면에 볼 랜드패드(28a,28b)가 동일한 배열 형태를 이루도록 형성되어 있고 하면의 볼 랜드패드(28a,28b)에 솔더 볼(45a,45b)이 부착되어 있으므로 복수의 멀티 칩 패키지(10a,10b)를 적층할 경우 상면에 형성된 볼 랜드패드(42a,42b)를 이용할 수 있다. 즉, 상부에 위치한 멀티 칩 패키지(10a)의 솔더 볼(45a)과 하부에 위치한 멀티 칩 패키지(10b)의 상면에 형성된 볼 랜드패드(24b)가 접합되도록 하여 전기적 및 물리적인 연결이 이루어져 적층 패키지가 완성될 수 있다.

단위 멀티 칩 패키지의 적층은 어느 하나의 멀티 칩 패키지의 상면에 형성된 볼 랜드패드 부분에 플럭스를 도포하고 멀티 칩 패키지들의 위치 정렬 후에 리플로우(reflow) 공정을 거쳐 용이하게 이루어질 수 있다. 여기서, 적층 패키지는 단위 멀티 칩 패키지 2개가 적층된 것을 소개하고 있으나 2개 이상의 멀티 칩 패키지로 이루어진 적층 패키지의 구현도 가능하다.

이와 같은 적층 패키지는 리드프레임을 채택한 적층 패키지에 비하여 크기 면에서 유리하고 1개의 칩으로 이루어진 반도체 칩 패키지가 적층되어 구성되는 적층 패키지에 비해 용량이 2배가될 수 있다.

#### 발명의 효과

이상과 같은 본 발명에 의한 볼 그리드 어레이형 멀티 칩 패키지와 적층 패키지에 따르면, 일정한 면적에서 용량이 향상될 수 있다. 예컨대, 동일한 반도체 칩 두 개를 내재하여 용량이 2배가 될 수 있다. 또한, 인쇄회로기판을 이용하고 있기 때문에 실장면적 축소나 열 방출 문제 및 집적도 증가에 따른 입출력 핀 수의 증가에 효과적으로 대응할 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

베이스 기판의 상면과 하면에 각각 소정의 회로배선과 그와 연결되어 형성된 접합패드 및 상면의 회로배선과 하면의 회로배선을 전기적으로 연결하는 비아 홀(via hole)이 형성되어 있는 인쇄회로기판과, 집적회로가 형성된 활성면에 복수의 전극패드와 그 전극패드에 접합되어 형성된 범프를 갖는 제 1칩과 제 2칩을 구비하고 있으며, 상기 제 1칩의 상기 범프가 상기 인쇄회로기판의 상면에 형성된 상기 접합패드에 접합되어 있고 상기 제 2칩의 상기 범프가 상기 인쇄회로기판의 하면에 형성된 상기 접합패드에 접합되어 있고, 상기 인쇄회로기판의 일면에 형성된 회로배선과 전기적으로 연결되는 솔더 볼이 부착되어 있는 것을 특징으로 하는 볼 그리드 어레이형 멀티 칩 패키지.

##### 청구항 2.

제 1항에 있어서, 상기 범프는 솔더 범프이고 상기 봉지부는 언더-필재인 것을 특징으로 하는 볼 그리드 어레이형 멀티 칩 패키지.

##### 청구항 3.

제 1항에 있어서, 상기 범프는 금 스퍼트 범프이며 상기 봉지부는 이방성 전도 접착제와 이방성 전도 필름의 어느 하나인 것을 특징으로 하는 볼 그리드 어레이형 멀티 칩 패키지.

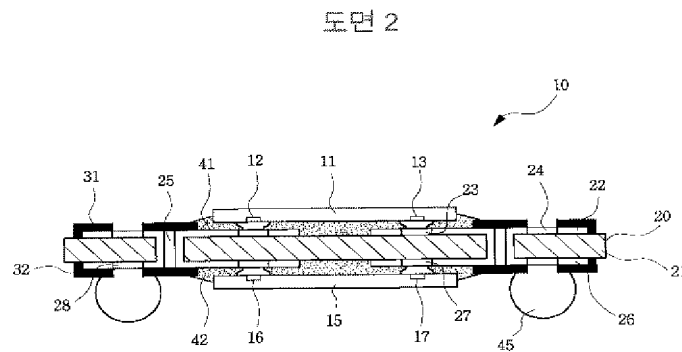
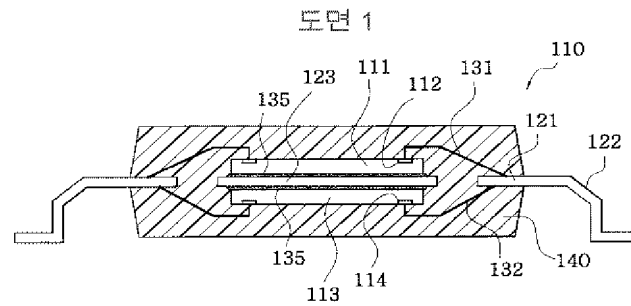
청구항 4.

제 1항에 있어서, 상기 볼 랜드패드는 상기 인쇄회로기판의 상면과 하면에 모두 형성되어 있는 것을 특징으로 하는 볼 그리드 어레이형 멀티 칩 패키지.

청구항 5.

제 1항에 따른 볼 그리드 어레이형 멀티 칩 패키지 복수 개가 각각의 멀티 칩 패키지의 하면에 형성된 솔더 볼이 다른 멀티 칩 패키지의 상면에 형성된 회로배선과 전기적으로 연결되도록 부착된 것을 특징으로 하는 볼 그리드 어레이형 적층 패키지.

도면



도면 3

